

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: BUM-GEE BAEK, ET AL.)
) Group Art Unit: NYA
FOR: CONTACT STRUCTURE OF)
SEMICONDUCTOR DEVICE,)
MANUFACTURING METHOD) Examiner: NYA
THEREOF, THIN FILM TRANSISTOR)
ARRAY PANEL INCLUDING CONTACT)
STRUCTURE, AND MANUFACTURING)
METHOD THEREOF)

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Enclosed herewith is a certified copy of Korean Patent Application No. 2002-0052509 filed on September 2, 2002 and Korean Patent Application No. 2002-0053220 filed on September 4, 2002. The enclosed Applications are directed to the invention disclosed and claimed in the above-identified application.

Applicants hereby claim the benefit of the filing date of September 2, 2002, of the Korean Patent Application No. 2002-0052509 and the filing date of September 4, 2002, of the Korean Patent Application No. 2002-0053220, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 

David A. Fox
Reg. No. 38, 807
Cantor Colburn LLP
55 Griffin Road South
Bloomfield, CT 06002
Telephone: (860) 286-2929
PTO Customer No. 23413

Date: September 2, 2003



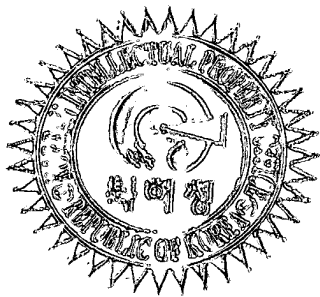
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0052509
Application Number

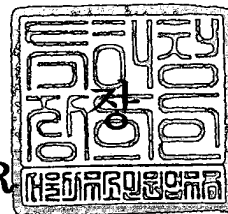
출 원 년 월 일 : 2002년 09월 02일
Date of Application SEP 02, 2002

출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 08 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0001
【제출일자】 2002.09.02
【발명의 명칭】 박막 트랜지스터 기판
【발명의 영문명칭】 Thin film transistor array panel

【출원인】

【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3

【대리인】

【명칭】 유미특허법인
【대리인코드】 9-2001-100003-6
【지정된변리사】 김원근 , 박종하
【포괄위임등록번호】 2002-036528-9

【발명자】

【성명의 국문표기】 최권영
【성명의 영문표기】 CHOI, KWON YOUNG
【주민등록번호】 710123-1683113
【우편번호】 137-776
【주소】 서울특별시 서초구 서초4동 진흥아파트 1동 1505호
【국적】 KR

【발명자】

【성명의 국문표기】 임승택
【성명의 영문표기】 LIM, SEUNG TAEK
【주민등록번호】 721103-1055229
【우편번호】 158-849
【주소】 서울특별시 양천구 신정2동 128-15번지
【국적】 KR

【발명자】

【성명의 국문표기】 김원주
【성명의 영문표기】 KIM, WOON JOO

【주민등록번호】	710212-2018021		
【우편번호】	138-170		
【주소】	서울특별시 송파구 송파동 한양아파트 5동 706호		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 인 (인) 유미특허법		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	13	면	13,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	42,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명에 따른 박막 트랜지스터 기판은 절연 기판, 절연 기판 위에 형성되어 있는 게이트선, 게이트선의 일부인 게이트 전극, 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선, 기판 위에 형성되어 있는 게이트 절연층, 게이트 전극과 대응되는 게이트 절연층 위에 형성되어 있는 반도체층, 게이트 절연층 위에 게이트선과 절연되어 교차하도록 형성되어 있는 데이터선, 데이터선의 분지이며 저항성 접촉층의 일측과 연결되도록 형성되어 있는 소스 전극, 소스 전극과 대향되며 저항성 접촉층의 타측에 형성되어 있는 드레인 전극, 데이터선의 일단에 연결되어 있는 데이터 패드를 포함하는 데이터 배선, 데이터 배선 위에 형성되어 있으며 드레인 전극을 노출하는 제1 접촉구, 게이트 패드를 노출하는 제2 접촉구, 데이터 패드를 노출하는 제3 접촉구를 포함하는 보호층, 보호층 위에 형성되어 있으며 제1 접촉구를 통해 드레인 전극과 연결되는 화소 전극, 보호층 위에 형성되어 있으며 제2 접촉구를 통해 게이트 패드와 연결되는 보조 게이트 패드, 보호층 위에 형성되어 있으며 제3 접촉구를 포함하고, 보조 데이터 패드는 요철(凹凸)을 가지도록 형성되어 있다.

【대표도】

도 1b

【색인어】

박막트랜지스터기판, 데이터패드

【명세서】**【발명의 명칭】**

박막 트랜지스터 기판{Thin film transistor array panel}

【도면의 간단한 설명】

도 1a는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 배치도이다.

도 1b는 도 1a의 Ib-Ib'선에 대한 단면도이다.

도 2a내지 도 2c는 제1 실시예에 따른 박막 트랜지스터 기판을 제조하는 방법을 설명하기 위한 도면이다.

도 3은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 단면도이다.

도 4a 내지 도 4b는 제2 실시예에 따른 박막 트랜지스터 기판을 제조하는 방법을 설명하기 위한 도면이다.

도5a는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 배치도이다.

도5b, 5c는 각각 제3 실시예의 Vb-Vb', Vc-Vc'선에 대한 단면도이다.

도 6a 내지 8b는 제3 실시예에 따른 박막 트랜지스터 기판을 제조하는 방법을 설명하기 위한 도면이다.

도9a, 도 9b는 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판의 단면도이다.

도 10a, 10b는 제4 실시예에 따른 박막 트랜지스터 기판을 제조하는 방법을 설명하기 위한 도면이다.

※도면의 주요 부분에 대한 부호의 설명※

95 : 보조 게이트 패드

97 : 보조 데이터 패드

110 : 절연 기판	121 : 게이트선
123 : 게이트 전극	125 : 게이트 패드
131 : 유지 전극선	140 : 게이트 절연층
151, 154, 157, 159 : 반도체층	161, 163, 165, 167, 169 : 저항성 접촉층
171 : 데이터 선	173 : 소스 전극
175 : 드레인 전극	177 : 유지 전극
179 : 데이터 패드	190 : 화소 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 박막 트랜지스터 기판에 관한 것이다.

<21> 박막 트랜지스터(Thin Film Transistor, TFT) 기판은 액정 표시 장치나 유기 EL(Electro Luminescence) 표시 장치 등에서 각 화소를 독립적으로 구동하기 위한 회로 기판으로써 사용된다.

<22> 박막 트랜지스터 기판은 주사 신호를 전달하는 주사 신호 배선 또는 게이트 배선과 화상 신호를 전달하는 화상 신호선 또는 데이터 배선이 형성되어 있고, 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극, 게이트 배선을 덮어 절연하는 게이트 절연층 및 박막 트랜지스터와 데이터 배선을 덮어 절연하는 층간 절연층 등으로 이루어져 있다.

<23> 이러한 박막 트랜지스터 기판을 형성한 후 동작 유무를 검사하기 위해서는 그로스 검사(Gross test)를 실시한다. 그로스 검사는 테스터기의 프로브 팁(probe tip)을 보조 데이터 패드에 접촉한 후 전압을 인가하여 동작 유무를 검사한다.

<24> 그러나 그로스 검사를 위해 프로브 팁을 보조 데이터 패드에 접촉시킬 때 프로브 팁이 고정되지 않아 보조 데이터 패드 위를 미끄러지면서 긁게 되어 보조 데이터 패드에 스크래치를 형성하고 프로브 팁에 보조 데이터 패드 찌꺼기가 묻게 된다. 그런데 보조 데이터 패드를 이루는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)는 비저항이 커서 이러한 물질이 프로브 팁에 쌓일 경우 프로브 팁의 접촉 저항이 지나치게 커져 검사의 신뢰성을 떨어뜨리게 된다.

【발명이 이루고자 하는 기술적 과제】

<25> 따라서 본 발명의 목적은 상기한 문제점을 해결하기 위한 것으로, 그로스 검사시 보조 데이터 패드와 프로브 팁 사이의 접촉 저항 증가를 방지하여 검사의 신뢰성을 확보하는 것이다.

【발명의 구성 및 작용】

<26> 상기한 목적을 달성하기 위한 본 발명에 따른 박막 트랜지스터 기판은 절연 기판, 절연 기판 위에 형성되어 있는 게이트선, 게이트선의 일부인 게이트 전극, 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선, 기판 위에 형성되어 있는 게이트 절연층, 게이트 전극과 대응되는 게이트 절연층 위에 형성되어 있는 반도체층, 게이트 절연층 위에 게이트선과 절연되어 교차하도록 형성되어 있는 데이터선, 데이터선의 분지이며 저항성 접촉층의 일측과 연결되도록 형성되어 있는 소스 전극, 소스 전

극과 대향되며 저항성 접촉층의 타측에 형성되어 있는 드레인 전극, 데이터선의 일단에 연결되어 있는 데이터 패드를 포함하는 데이터 배선, 데이터 배선 위에 형성되어 있으며 드레인 전극을 노출하는 제1 접촉구, 게이트 패드를 노출하는 제2 접촉구, 데이터 패드를 노출하는 제3 접촉구를 포함하는 보호층, 보호층 위에 형성되어 있으며 제1 접촉구를 통해 드레인 전극과 연결되는 화소 전극, 보호층 위에 형성되어 있으며 제2 접촉구를 통해 게이트 패드와 연결되는 보조 게이트 패드, 보호층 위에 형성되어 있으며 제3 접촉구를 통해 데이터 패드와 연결되는 보조 데이터 패드를 포함하고, 보조 데이터 패드는 요철(凹凸)을 가지도록 형성되어 있다.

<27> 또는 절연 기판, 절연 기판 위에 형성되어 있는 게이트선, 게이트선의 일부인 게이트 전극, 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선, 기판 위에 형성되어 있는 게이트 절연층, 게이트 전극과 대응되는 게이트 절연층 위에 형성되어 있는 반도체층, 게이트 절연층 위에 게이트선과 절연되어 교차하도록 형성되어 있는 데이터선, 데이터선의 분지이며 저항성 접촉층의 일측과 연결되도록 형성되어 있는 소스 전극, 소스 전극과 대향되며 저항성 접촉층의 타측에 형성되어 있는 드레인 전극, 데이터선의 일단에 연결되어 있는 데이터 패드를 포함하는 데이터 배선, 데이터 배선 위에 형성되어 있으며 드레인 전극을 노출하는 제1 접촉구, 게이트 패드를 노출하는 제2 접촉구, 데이터 패드를 노출하는 제3 접촉구를 포함하는 보호층, 보호층 위에 형성되어 있으며 제1 접촉구를 통해 드레인 전극과 연결되는 화소 전극, 보호층 위에 형성되어 있으며 제2 접촉구 및 제3를 통해 각각 게이트 패드 및 데이터 패드 연결되는 보조 게이트 패드 및 보조 데이터 패드를 포함하고, 데이터 패드는 홈을 가지며 보조 데이터 패드는 데이터 패드의 표면과 데이터 패드의 홈 내부를 타고 형성되어 있다.

<28> 다른 기판으로는 절연 기판, 절연 기판 위에 게이트선, 게이트선의 일부인 게이트 전극, 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선, 게이트 배선 위에 형성되어 있는 게이트 절연층, 게이트 절연층 위의 소정 영역에 형성되어 있는 반도체층, 반도체층 위의 소정 영역을 제외하고 반도체층과 동일한 평면 패턴으로 형성되어 있는 저항성 접촉층, 저항성 접촉층 위에 저항성 접촉층과 동일한 평면 패턴으로 형성되어 있는 소스 전극, 드레인 전극, 데이터선, 데이터 패드를 포함하는 데이터 배선, 데이터 배선 위에 형성되어 있으며 드레인 전극을 노출하는 제1 접촉구, 게이트 패드를 노출하는 제2 접촉구, 데이터 패드를 노출하는 제3 접촉구를 포함하는 보호층, 보호층 위에 형성되어 있으며 제1 접촉구를 통해 드레인 전극과 연결되는 화소전극, 보호층 위에 형성되어 있으며 제2 접촉구를 통해 게이트 패드와 연결되는 보조 게이트 패드, 보호층 위에 형성되어 있으며 제3 접촉구를 통해 데이터 패드와 연결되는 보조 데이터 패드를 포함하고, 보조 데이터 패드는 요철(凹凸)을 가지도록 형성되어 있다.

<29> 상기한 목적을 달성하기 위한 또 다른 박막 트랜지스터 기판은 절연 기판, 절연 기판 위에 게이트선, 게이트선의 일부인 게이트 전극, 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선, 게이트 배선 위에 형성되어 있는 게이트 절연층, 게이트 절연층 위의 소정 영역에 형성되어 있는 반도체층, 반도체층 위의 소정 영역을 제외하고 반도체층과 동일한 평면 패턴으로 형성되어 있는 저항성 접촉층, 저항성 접촉층 위에 저항성 접촉층과 동일한 평면 패턴으로 형성되어 있는 소스 전극, 드레인 전극, 데이터선, 데이터 패드를 포함하는 데이터 배선, 데이터 배선 위에 형성되어 있으며 드레인 전극을 노출하는 제1 접촉구, 게이트 패드를 노출하는 제2 접촉구, 데이터 패드를 노출하는 제3 접촉구를 포함하는 보호층, 보호층 위에 형성되어 있으며 제1 접촉

구를 통해 드레인 전극과 연결되는 화소전극, 보호층 위에 형성되어 있으며 제2 접촉구 및 제3 접촉구를 통해 각각 게이트 패드 및 데이터 패드와 연결되는 보조 게이트 패드 및 보조 데이터 패드를 포함하고, 데이터 패드는 홈을 가지며, 보조 데이터 패드는 데이터 패드의 표면과 데이터 패드의 홈 내부를 타고 형성되어 있다.

<30> 이하 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<31> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 위에 있다고 할 때, 이는 다른 부분 바로 위에 있는 경우 뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 바로 위에 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<32> 이제 본 발명의 실시예에 따른 박막 트랜지스터 기판에 대하여 도면을 참고로 하여 상세하게 설명한다.

<33> [제1 실시예]

<34> 도 1a는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판을 도시한 배치도이고, 도 1b는 도 1a의 Ib-Ib' 선에 대한 단면도이다.

<35> 도 1a 내지 도 1b에 도시한 바와 같이, 투명한 절연 기판(110) 위에 게이트 배선(121, 123, 125)이 형성되어 있다. 게이트 배선(121, 123, 125)은 가로방향으로 길게 형

성되어 있는 게이트선(121), 게이트선(121)의 일단에 연결되어 있으며 외부로부터 게이트 신호를 인가 받아 게이트선(121)으로 전달하는 게이트 패드(125), 게이트선(121)의 일 부분인 게이트 전극(123)을 포함한다.

<36> 그리고 게이트 배선(121, 123, 125)을 포함하는 기판 전면에 게이트 절연층(140)이 형성되어 있다. 게이트 전극(123)과 대응되는 부분의 게이트 절연층(140) 위에는 비정질 규소와 같은 반도체 물질로 형성한 반도체층(151, 154)과, 비정질 규소와 같은 반도체 물질에 불순물을 고농도로 도핑하여 형성한 저항성 접촉층(161, 163, 165, 167, 169)이 형성되어 있다.

<37> 저항성 접촉층(161, 163, 165, 167, 169) 및 게이트 절연층(140) 위에는 데이터 배선(171, 173, 175, 179) 및 유지 용량용 전극이 크롬 패턴(711, 731, 751, 791)과 알루미늄 패턴(712, 732, 752, 792)의 이중층으로 형성되어 있다. 그리고 유리 용량을 향상시키기 위해 게이트선(121)과 중첩되도록 유지 용량용 전극(177)이 형성되어 있다. 유지 용량이 충분할 경우 형성하지 않을 수 있다.

<38> 데이터 배선(171, 173, 175, 179)은 게이트선(121)과 수직하게 교차하여 화소 영역을 정의하는 데이터선(171), 데이터선(171)의 분지이며 저항성 접촉층(163)에도 연결되는 소스 전극(173), 데이터선(171)의 일단에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(179), 소스 전극(173)과 분리되어 있으며 게이트 전극(123)에 대하여 소스 전극(173)의 반대 저항성 접촉층(165) 위에 형성되어 있는 드레인 전극(175)을 포함한다. 여기서 데이터 패드(179)는 제1 및 제2 홈(181, 182)을 가지고 있다. 제1 및 제2 홈(181, 182)은 데이터 패드(97) 하부의 게이트 절연막(123)에 까지 형성되어 있

다. 즉, 데이터 패드(179)의 홈(181, 182)을 통하여 노출되는 그 하부의 게이트 절연층(140)도 제거되어 있다.

<39> 이 때, 홈(181, 182)의 수는 필요에 따라 더 많거나 적을 수 있고, 홈(181, 183)의 모양도 직사각형등으로 다양하게 변형될 수 있다.

<40> 그리고 데이터 배선 위에 보호층(180)이 형성되어 있다. 보호층(180)에는 제1 내지 제4접촉구(183 내지 186)가 형성되어 있다. 제1 접촉구(183)는 드레인 전극(175)을 노출하고, 제2 접촉구(184)는 게이트 패드(125)를 노출하고, 제3 접촉구(185)는 유지 용량용 전극(177)을 노출한다. 제 4 접촉구(186)는 제1 접촉구(181), 제2 접촉구(182) 및 데이터 패드(179)를 노출한다.

<41> 보호층(180) 위에는 제1 및 제3 접촉구(183, 185)를 통해 각각 드레인 전극(175) 및 유지 전극(177)과 연결되는 화소 전극(190), 제2 접촉구(184)를 통해 게이트 패드(125)와 연결되는 보조 게이트 패드(95)가 형성되어 있다. 그리고 제4 접촉구 뿐만 아니라 제 1 및 제2 홈(181, 182) 내부를 따라 데이터 패드(179)와 연결되는 보조 데이터 패드(97)가 형성되어 있다.

<42> 이와 같이 보조 데이터 패드(97)가 제1 및 제2 홈(181, 182) 내부를 따라 형성되면 보조 데이터 패드(97)의 표면도 요철을 가지게 된다. 보조 데이터 패드(97)의 표면이 요철을 가지면 그로스 검사시 프로브 팁이 미끄러지지 않게 된다.

<43> 이상 설명된 박막 트랜지스터 기판을 제조하는 방법을 도 2a 내지 도 2c를 참조하여 설명하면 다음과 같다. 먼저 도 2a에 도시한 바와 같이, 투명한 절연 기판(110) 위에

금속층을 형성한 후 사진 식각 공정으로 패터닝하여 게이트 배선(121, 123, 125)을 형성한다. 그리고 게이트 배선(121, 123, 125) 위에 게이트 절연층(140)을 형성한다.

<44> 이후, 게이트 절연층(140) 위에 불순물이 도핑되지 않은 비정질 규소층 및 불순물이 고농도로 도핑된 비정질 규소층을 형성한 후 사진 식각 공정으로 비정질 규소층을 식각하여 게이트 절연층(140) 바로 위에 반도체층(151, 154)과 저항성 접촉층(160A, 161, 163, 165)을 형성한다.

<45> 그리고 도 2b에 도시한 바와 같이, 저항성 접촉층(160A, 161, 163, 165)을 포함하는 기판 위에 크롬층, 알루미늄층을 형성한 후 사진 식각 공정으로 패터닝하여 크롬 패턴(711, 731, 751, 771, 791) 및 알루미늄 패턴(712, 732, 752, 772, 792)의 복수층인 데이터 배선(171, 173, 175, 179) 및 유지 용량용 전극(177)을 형성한다.

<46> 소스 전극(173)의 일부는 반도체층(154)을 벗어나 형성되고, 소스와 드레인 전극(173, 175) 사이에 있는 반도체층(154)은 채널부가 된다. 채널부는 소스 및 드레인 전극(173, 175)을 형성한 후 소스 및 드레인 전극(173, 175)을 식각 마스크로 하여 저항성 접촉층(160A)을 식각하여 제거함으로써 완성된다.

<47> 또한, 데이터 패드(179)는 제1 및 제2 홈(181, 182)을 가지도록 형성된다. 본 실시예에서는 데이터 패드(179)를 다수개로 분리하기 위한 접촉구를 2개 형성하였으나 데이터 패드(179)의 크기에 따라서 2개 이상 형성하여도 무방하다.

<48> 도 2c에 도시한 바와 같이, 데이터 배선(171, 173, 175, 179) 및 유지 용량용 전극(177)을 포함하는 기판 전면에서 절연 물질을 도포하여 보호층(180)을 형성한다. 그리고 사진 식각 공정으로 식각하여 제1 내지 제4 접촉구(183 내지 184)를 형성한다.

- <49> 보호층(180) 및 게이트 절연층(140)은 식각 선택비를 달리하여 식각하기가 어려우므로 제4 접촉구 형성시에 데이터 패드(179)에 형성되어 있는 제1 및 제2 홈(181, 182)를 통하여 노출되어 있는 게이트 절연층(140)도 제거된다.
- <50> 이후, 제3 내지 제6 접촉구(183 내지 186)를 포함하는 기판 위에 투명 도전층을 형성한 후 패터닝하여 화소 전극(190), 보조 게이트 패드(95) 및 보조 데이터 패드(97)를 형성한다.(도 1b참조)
- <51> [제2 실시예]
- <52> 도 3은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 단면도이다. 도시한 바와 같이 제2 실시예는 데이터 패드부를 제외하고 제1 실시예와 동일한 구조를 가진다. 즉, 제2 실시예에서는 데이터 패드(179)의 제1 및 제2 홈(181, 182)이 알루미늄층에만 형성되어 있고, 크롬층에는 홈이 형성되어 있지 않다.
- <53> 이러한 구조의 데이터 패드(179)를 가지는 박막 트랜지스터 기판을 형성하는 방법은 다음과 같다. 먼저 도 4a에 도시한 바와 같이 절연 기판(110) 위에 게이트 배선(121, 123, 125), 게이트 절연층(140), 반도체층(151, 154), 저항성 접촉층(161, 163, 165)을 형성한다. 이상의 공정은 제1 실시예와 동일하다.
- <54> 저항성 접촉층 위에 크롬층, 알루미늄층을 형성하고 알루미늄층 위에 제1 감광층 패턴을 형성한 후, 알루미늄층을 식각하여 제1 및 제2 홈(181, 182) 형성되어 있는 알루미늄 패턴(711, 731, 751, 791)을 형성한다.
- <55> 이후 제1 감광층 패턴을 제거하고, 알루미늄 패턴 위에 제2 감광층 패턴을 형성한다. 제2 감광층 패턴은 제1 및 제2 홈(181, 182)도 덮도록 형성하여 그 하부의 크롬층이

노출되지 않도록 한다. 제2 감광층 패턴은 제1 홈 및 제2 홈 대응되는 부분을 제외하고 나머지 영역은 제1 감광층 패턴과 동일하다.

<56> 제2 감광층 패턴을 마스크로 하여 크롬층을 식각하여 알루미늄 패턴(711, 731, 751, 771, 791) 및

<57> 크롬 패턴(712, 732, 752, 772, 792)으로 이루어지는 데이터 배선(171, 173, 175, 179) 및 유지 전극(177)을 완성한다.

<58> 본 실시예에서는 제1 감광층 패턴을 이용하여 홈(181, 182)을 가지는 알루미늄층 패턴을 먼저 형성하고, 제2 감광층 패턴을 이용하여 크롬층 패턴을 나중에 형성하나, 이와 달리 먼저 제1 감광층 패턴을 이용하여 홈이 없는 알루미늄층 패턴과 크롬층 패턴을 동시에 형성하고 제2 감광층 패턴을 이용하여 알루미늄층에 홈을 형성할 수도 있다.

<59> 도 4b에 도시한 바와 같이 제3 내지 제6 접촉구(183 내지 186)을 가지는 보호층(180)을 형성하고 보호층(180)위에 투명한 도전 금속층을 형성한 후 패터닝하여 화소 전극(190), 보조 게이트 패드(95), 보조 데이터 패드(97)를 형성한다.(도 2 참조) 이상의 공정은 제1 실시예와 동일하다.

<60> [제3 실시예]

<61> 도 5a는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기관의 배치도이고, 도 5b 및 도 5c는 도 5a의 Vb-Vb' 선, Vc-Vc' 선으로 절단한 단면도이다.

<62> 도 5a 내지 도 5c에 도시한 바와 같이, 투명한 절연 기관(110) 바로 위에 게이트 배선(121, 123, 125) 및 유지 전극선(131)이 형성되어 있다.

- <63> 게이트 배선(121, 123, 125)은 게이트선(121), 게이트 패드(125), 게이트 전극(123)을 포함한다. 유지 전극선(131)은 후술할 화소 전극(190)과 연결된 유지 용량용 전극(177)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 화소 전극(190)과 게이트선(121)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.
- <64> 게이트 배선(121, 123, 125) 및 유지 전극선(131) 위에 게이트 절연층(140)이 형성되어 있고, 게이트 절연층(140) 위에 반도체층(151, 154, 157, 159)과 저항성 접촉층(161, 163, 165, 167, 169)이 형성되어 있다.
- <65> 그리고 저항성 접촉층(161, 163, 165, 167, 169) 위에 크롬 패턴(711, 731, 751, 771, 791)과 알루미늄 패턴(712, 732, 752, 772, 792)의 이중층으로 이루어지는 데이터 배선(171, 173, 175, 179) 및 유지 전극(177)이 형성되어 있다.
- <66> 데이터 배선(171, 173, 175, 179)은 데이터선(171), 데이터 패드(179), 소스 전극(173), 드레인 전극(175)을 포함한다. 데이터 배선(171, 173, 175, 179) 및 유지 전극(177)과 저항성 접촉층(161, 163, 165, 167, 169)은 동일한 평면 패턴으로 형성되며, 반도체층(151, 154, 157, 159)은 채널부(154)를 제외하면 동일한 평면 패턴으로 형성되어 있다. 즉, 채널부(154)에서 소스 전극(173)과 드레인 전극(175)이 분리되고, 소스 및 드레인 전극(173, 175) 아래에 위치한 저항성 접촉층(163, 165)도 분리되어 있으나, 반도체층(154)은 분리되지 않고 연결되어 박막 트랜지스터의 채널을 형성한다.
- <67> 그리고 데이터 패드(179)는 제1 및 제2 홈(181, 182)을 가지고 있다. 제1 및 제2 홈(181, 182)은 데이터 패드(179) 하부의 게이트 절연층(140)에 까지 형성되어 있다. 즉, 데이터 패드(179)의 홈(181, 182)을 통하여 노출되는 그 하부의 게이트 절연층(140)도

제거되어 있다. 이 때, 홈(181, 182)의 수는 필요에 따라 더 많거나 적을 수 있고, 홈(181, 193)의 모양도 직사각형 등으로 다양하게 변형될 수 있다.

<68> 유지 전극(177)은 유지 전극선(131)을 형성하지 않을 경우 형성하지 않는다.

<69> 데이터 배선(171, 173, 175, 179) 및 유지 전극(177) 위에는 제1 내지 제5 접촉구(183 내지 187)를 포함하는 보호층(180)이 형성되어 있다. 제1 접촉구(181)는 드레인 전극(175)을 노출하고, 제2 접촉구(182)는 게이트 패드(125)를 노출하고, 제3, 4 접촉구(185, 186)는 유지 전극(177)을 노출한다. 그리고 제5 접촉구(187)는 제1 홈(181), 제2 홈(182) 및 데이터 패드(179)를 노출한다.

<70> 보호층(180) 위에는 제3, 5, 6접촉구(183, 185, 186)을 통해 드레인 전극(175) 및 유지 전극(177)에 각각 연결되는 화소 전극(190), 제4 접촉구(184)를 통해 게이트 패드(125)와 연결되는 보조 게이트 패드(95)가 형성되어 있다. 또한, 제1 및 제2 홈과 제7 접촉구 내부를 연결하며, 데이터 패드(179)와 연결되는 보조 데이터 패드(97)가 형성되어 있다.

<71> 이와 같은 제3 실시예에 따른 박막 트랜지스터 기판을 제조하는 방법은 다음과 같다. 먼저 도 6a 내지 도 6b에 도시한 바와 같이, 투명한 절연 기판(110) 바로 위에 금속층을 형성한 후 패터닝하여 게이트 배선(121, 123, 125)를 형성한다. 그리고 게이트 배선(121, 123, 125) 및 유지 전극선(131) 위에 게이트 절연층(140), 불순물이 도핑되지 않은 비정질 규소층(150), 불순물이 도핑된 비정질 규소층(160), 크롬층(701), 알루미늄층(702)을 형성한다.

- <72> 알루미늄층 바로 위에 감광층을 형성한 후 노광 및 현상하여 감광층 패턴(PR)을 형성한다. 감광층 패턴(PR)은 박막 트랜지스터의 채널부(151)가 될 소스 전극과 드레인 전극 사이의 제1 부분(A)은 데이터 배선이 형성 될 부분인 제2 부분(B) 보다 두께가 얇게 되도록 하며, 다른 부분(C)의 감광층은 모두 제거하여 제2 배선층(702)을 노출한다.
- <73> 이와 같은 감광층(PR)의 두께를 조절하는 방법은 슬릿이나 격자 형태의 패턴을 형성하거나 반 투명층을 사용하여 형성할 수 있으며, 필요에 따라 선택하여 사용한다.
- <74> 도 7a 내지 도 7b에 도시한 바와 같이, 감광층 패턴(PR)을 마스크로 하여 알루미늄층(702), 크롬층(701), 불순물이 도핑된 비정질 규소층(160), 불순물이 도핑되지 않은 비정질 규소층(150)을 순차적으로 식각하여 알루미늄 패턴(711, 731, 751, 771, 791)과 크롬 패턴(712, 732, 752, 772, 792)으로 이루어지는 데이터 배선(171, 173, 175, 179) 및 유지 용량용 전극(177)과 저항성 접촉층(161, 162, 163, 165, 169), 반도체층(151, 153, 157, 159)을 형성한다.
- <75> 데이터 패드(179)는 제1 및 제2 홈(181, 182)에 의해 다수개의 패드로 분리된다. 본 실시예에서는 데이터 패드(179)를 다수개로 분리하기 위한 접촉구를 2개 형성하였으나 데이터 패드(179)의 크기에 따라서 2개 이상 형성하여도 무방하다.
- <76> 좀더 구체적으로 설명하면, 감광층 패턴을 마스크로 하는 식각은 다단계로 이루어진다. 먼저 감광층 패턴이 형성되지 않은 영역(제3 부분 : C)을 습식 식각하여 알루미늄층(702)과 크롬층(701)을 제거함으로써 불순물이 도핑된 비정질 규소층(160)을 노출한다.

- <77> 이후 제1 부분(A)의 감광층과 함께 제3 부분(C)의 불순물이 도핑된 비정질 규소층(160) 및 불순물이 도핑되지 않은 비정질 규소층(150)을 건식 식각하여 반도체층을 완성하고 채널부가 분리되지 않은 저항성 접촉층을 형성한다. 이때 제2 부분(B)의 감광층도 일부 식각 된다.
- <78> 다음으로, 감광층을 애싱하여 제1 부분(A)을 제거함으로써 채널부 상부의 알루미늄 패턴(702)을 노출한다.
- <79> 이어서, 제1 부분(A)의 알루미늄층(702), 크롬층(701) 및 불순물이 도핑된 비정질 규소층(163, 165)을 식각하여 크롬 패턴(711, 731, 751, 771, 791) 및 저항성 접촉층(161, 162, 163, 165, 169)을 형성한다.
- <80> 이후, 제2 부분(B)의 감광층(PR)을 제거하여 저항성 접촉층(161, 162, 163, 165, 169), 반도체층(151, 153, 157, 159), 크롬 패턴(711, 731, 751, 771, 791) 및 알루미늄 패턴(712, 732, 752, 772, 792)으로 이루어지는 데이터 배선(171, 173, 175, 179) 및 유지 용량용 전극(177)을 완성한다
- <81> 도 8a 내지 8b에 도시한 바와 같이, 데이터 배선(171, 173, 175, 179) 및 유지 용량용 전극(177) 위에 보호층(180)을 형성한 후 사진 식각 공정으로 제3 내지 7 접촉구(183 내지 187)를 형성한다. 이 때, 데이터 패드(179)의 홈(181, 182)을 통하여 노출되어 있는 게이트 절연층(140)도 식각된다. 이후, 제3 내지 제7 접촉구(183 내지 187)를 포함하는 기판 전면에 투명한 도전 물질인 IZO등으로 도전층을 형성한 후 패터닝하여 화소 전극(190), 보조 게이트 패드(95) 및 보조 데이터 패드(97)를 형성한다.

<82> 화소 전극(190)은 제3 접촉구(183)를 통해 드레인 전극(175)과 연결되고, 제5 및 제6 접촉구(185, 186)를 통해 유지 용량용 전극(177)과 연결되고, 보조 게이트 패드(95)는 제4 접촉구(184)를 통해 게이트 패드(125)와 연결되며, 보조 데이터 패드(97)는 제1, 2, 7 접촉구(187)를 통해 데이터 패드(179)와 연결된다.

<83> [제4 실시예]

<84> 도 9a, 9b는 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판의 단면도이다. 도 9a와 같이 제4 실시예는 데이터 패드(179)를 제외하고 제3 실시예와 동일한 구조를 가진다. 즉, 제4 실시예에서는 데이터 패드(179)의 알루미늄층에만 제1 및 제2 홈(181, 182)이 형성되어 있고 크롬층에는 홈이 형성되지 않는다.

<85> 이러한 구조의 박막 트랜지스터 기판을 형성하는 방법은 다음과 같다. 도 10a, 10b에 도시한 바와 같이, 절연 기판(110)에 게이트 배선(121, 123, 125), 게이트 절연층(140)을 형성한다. 그리고 게이트 절연층(140) 위에 불순물이 도핑되지 않은 비정질 규소층, 불순물이 도핑된 비정질 규소층을 형성한 후 데이터 배선을 형성하기 위한 제1 감광층 패턴을 형성한다. 제1 감광층 패턴을 형성하는 공정까지는 제3 실시예와 동일하다.

<86> 이후, 제1 감광층 패턴이 형성되지 않은 영역을 식각하여 알루미늄층을 제거하여 알루미늄 패턴(711, 731, 751, 771, 791)을 형성한다. 이때 제1 홈(181) 및 제2 홈(182)이 형성된다.

<87> 제1 감광층 패턴을 제거한 후, 기판 위에 감광층을 다시 형성한 후 노광 및 현상하여 제1 홈(181) 및 제2 홈(182)을 노출하지 않는 제2 감광층 패턴을 형성한다. 제2 감광

층 패턴은 제3 실시예에 따른 박막 트랜지스터 기판을 제조하는 과정 중 데이터 배선을 형성하기 위하여 형성하는 감광층 패턴과 동일하다. 즉, 제2 감광층 패턴은 박막 트랜지스터의 채널부(151)가 될 소스 전극과 드레인 전극 사이의 제1 부분(A)은 데이터 배선이 형성 될 부분인 제2 부분(B) 보다 두께가 얇게 되도록 하여, 다른 부분(C)의 감광층은 모두 제거하여 제2 배선층(702)을 노출한다. 이후의 공정인 크롬층, 비정질 규소층을 식각하여 데이터 배선을 형성하고, 접촉구를 가지는 보호층, 화소 전극, 보조 게이트 패드, 보조 데이터 패드를 형성하는 공정은 제3 실시예와 동일하다.

<88> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

<89> 이상 기술된 바와 같이, 본 발명에 따른 보조 데이터 패드(97)는 그로스 검사 시 보조 데이터 패드(97)와 프로브 팁 사이의 저항을 최소화하여 검사의 신뢰성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

절연 기판,

상기 절연 기판 위에 형성되어 있는 게이트선, 상기 게이트선의 일부인 게이트 전극, 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선,

상기 기판 위에 형성되어 있는 게이트 절연층,

상기 게이트 전극과 대응되는 상기 게이트 절연층 위에 형성되어 있는 반도체층,

상기 게이트 절연층 위에 상기 게이트선과 절연되어 교차하도록 형성되어 있는 데이터선, 상기 데이터선의 분지이며 상기 저항성 접촉층의 일측과 연결되도록 형성되어 있는 소스 전극, 상기 소스 전극과 대향되며 상기 저항성 접촉층의 타측에 형성되어 있는 드레인 전극, 상기 데이터선의 일단에 연결되어 있는 데이터 패드를 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있으며 상기 드레인 전극을 노출하는 제1 접촉구, 상기 게이트 패드를 노출하는 제2 접촉구, 상기 데이터 패드를 노출하는 제3 접촉구를 포함하는 보호층,

상기 보호층 위에 형성되어 있으며 상기 제1 접촉구를 통해 상기 드레인 전극과 연결되는 화소 전극,

상기 보호층 위에 형성되어 있으며 상기 제2 접촉구를 통해 상기 게이트 패드와 연결되는 보조 게이트 패드,

상기 보호층 위에 형성되어 있으며 상기 제3 접촉구를 통해 상기 데이터 패드와 연결되는 보조 데이터 패드를 포함하고,

상기 보조 데이터 패드는 요철(凹凸)을 가지도록 형성되어 있는 박막 트랜지스터 기판.

【청구항 2】

절연 기판,

상기 절연 기판 위에 형성되어 있는 게이트선, 상기 게이트선의 일부인 게이트 전극, 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선,

상기 기판 위에 형성되어 있는 게이트 절연층,

상기 게이트 전극과 대응되는 상기 게이트 절연층 위에 형성되어 있는 반도체층,

상기 게이트 절연층 위에 상기 게이트선과 절연되어 교차하도록 형성되어 있는 데이터선, 상기 데이터선의 분지이며 상기 저항성 접촉층의 일측과 연결되도록 형성되어 있는 소스 전극, 상기 소스 전극과 대향되며 상기 저항성 접촉층의 타측에 형성되어 있는 드레인 전극, 상기 데이터선의 일단에 연결되어 있는 데이터 패드를 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있으며 상기 드레인 전극을 노출하는 제1 접촉구, 상기 게이트 패드를 노출하는 제2 접촉구, 상기 데이터 패드를 노출하는 제3 접촉구를 포함하는 보호층,

상기 보호층 위에 형성되어 있으며 상기 제1 접촉구를 통해 상기 드레인 전극과 연결되는 화소 전극,

상기 보호층 위에 형성되어 있으며 상기 제2 접촉구 및 제3를 통해 각각 상기 게이트 패드 및 상기 데이터 패드 연결되는 보조 게이트 패드 및 보조 데이터 패드를 포함하고,

상기 데이터 패드는 홈을 가지며 상기 보조 데이터 패드는 상기 데이터 패드의 표면과 상기 데이터 패드의 홈 내부를 타고 형성되어 있는 박막 트랜지스터 기판.

【청구항 3】

절연 기판,

상기 절연 기판 위에 게이트선, 상기 게이트선의 일부인 게이트 전극, 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선,

상기 게이트 배선 위에 형성되어 있는 게이트 절연층,

상기 게이트 절연층 위의 소정 영역에 형성되어 있는 반도체층,

상기 반도체층 위의 소정 영역을 제외하고 상기 반도체층과 동일한 평면 패턴으로 형성되어 있는 저항성 접촉층,

상기 저항성 접촉층 위에 상기 저항성 접촉층과 동일한 평면 패턴으로 형성되어 있는 소스 전극, 드레인 전극, 데이터선, 데이터 패드를 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있으며 상기 드레인 전극을 노출하는 제1 접촉구, 상기 게이트 패드를 노출하는 제2 접촉구, 상기 데이터 패드를 노출하는 제3 접촉구를 포함하는 보호층,

상기 보호층 위에 형성되어 있으며 상기 제1 접촉구를 통해 상기 드레인 전극과 연결되는 화소전극,

상기 보호층 위에 형성되어 있으며 상기 제2 접촉구를 통해 상기 게이트 패드와 연결되는 보조 게이트 패드,

상기 보호층 위에 형성되어 있으며 상기 제3 접촉구를 통해 상기 데이터 패드와 연결되는 보조 데이터 패드를 포함하고,

상기 보조 데이터 패드는 요철(凹凸)을 가지도록 형성되어 있는 박막 트랜지스터 기판.

【청구항 4】

절연 기판,

상기 절연 기판 위에 게이트선, 상기 게이트선의 일부인 게이트 전극, 상기 게이트선의 일단에 연결되어 있는 게이트 패드를 포함하는 게이트 배선,

상기 게이트 배선 위에 형성되어 있는 게이트 절연층,

상기 게이트 절연층 위의 소정 영역에 형성되어 있는 반도체층,

상기 반도체층 위의 소정 영역을 제외하고 상기 반도체층과 동일한 평면 패턴으로 형성되어 있는 저항성 접촉층,

상기 저항성 접촉층 위에 상기 저항성 접촉층과 동일한 평면 패턴으로 형성되어 있는 소스 전극, 드레인 전극, 데이터선, 데이터 패드를 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있으며 상기 드레인 전극을 노출하는 제1 접촉구, 상기 게이트 패드를 노출하는 제2 접촉구, 상기 데이터 패드를 노출하는 제3 접촉구를 포함하는 보호층,

상기 보호층 위에 형성되어 있으며 상기 제1 접촉구를 통해 상기 드레인 전극과 연결되는 화소전극,

상기 보호층 위에 형성되어 있으며 상기 제2 접촉구 및 제3 접촉구를 통해 각각 상기 게이트 패드 및 상기 데이터 패드와 연결되는 보조 게이트 패드 및 보조 데이터 패드를 포함하고,

상기 데이터 패드는 홈을 가지며, 상기 보조 데이터 패드는 상기 데이터 패드의 표면과 상기 데이터 패드의 홈 내부를 타고 형성되어 있는 박막 트랜지스터 기판.

【청구항 5】

제1항 내지 제4항 중의 어느 한 항에서,

상기 데이터 패드는 크롬층, 알루미늄층의 이중층으로 형성되어 있는 박막 트랜지스터 기판.

【청구항 6】

제1항 내지 제4항 중의 어느 한 항에서,

상기 보조 데이터 패드는 IZO 로 형성되어 있는 박막 트랜지스터 기판.

【청구항 7】

제2항 또는 제4항 중에서,

상기 데이터 패드는 크롬층, 알루미늄층의 이중층으로 형성되어 있고, 상기 데이터 패드의 홈은 상기 알루미늄층에만 형성되어 있는 박막 트랜지스터 기판.

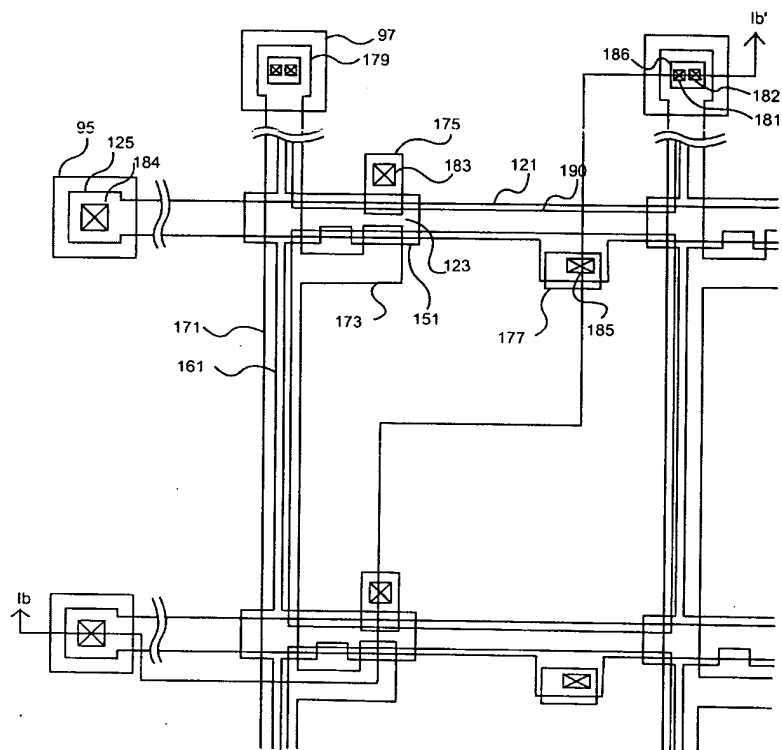
【청구항 8】

제2항 또는 제4항 중에서,

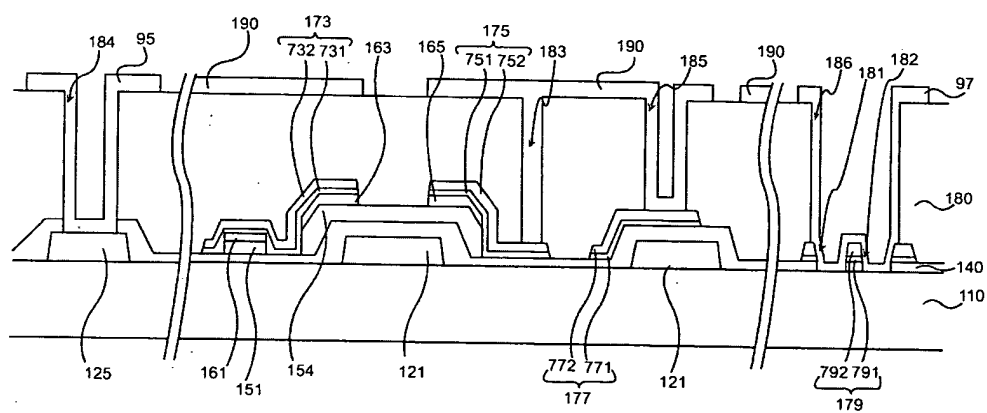
상기 데이터 패드의 홈을 통하여 노출되는 그 하부의 상기 게이트 절연층도 제거되어 있는 박막 트랜지스터 기판.

【도면】

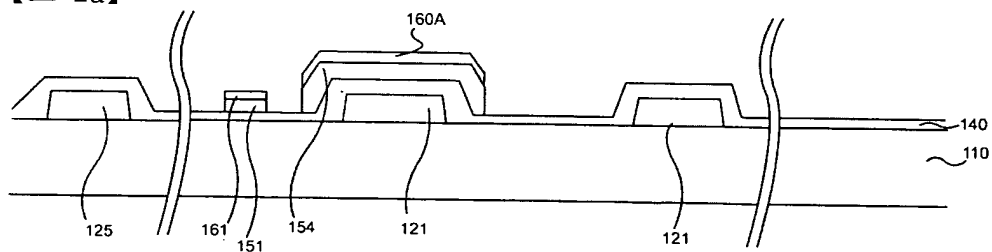
【도 1a】



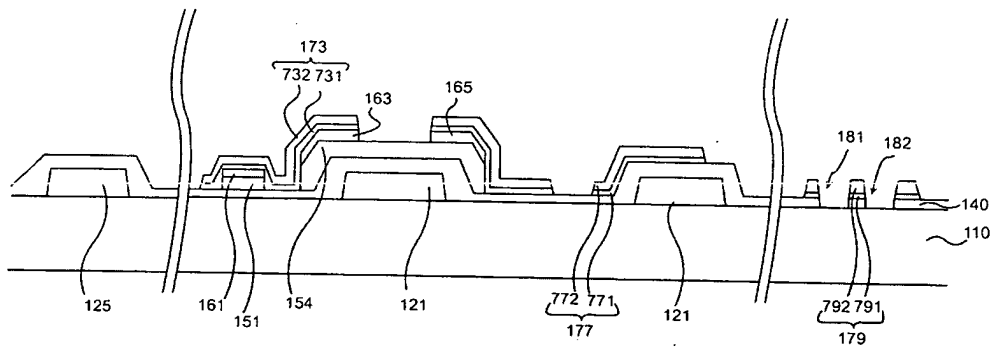
【도 1b】



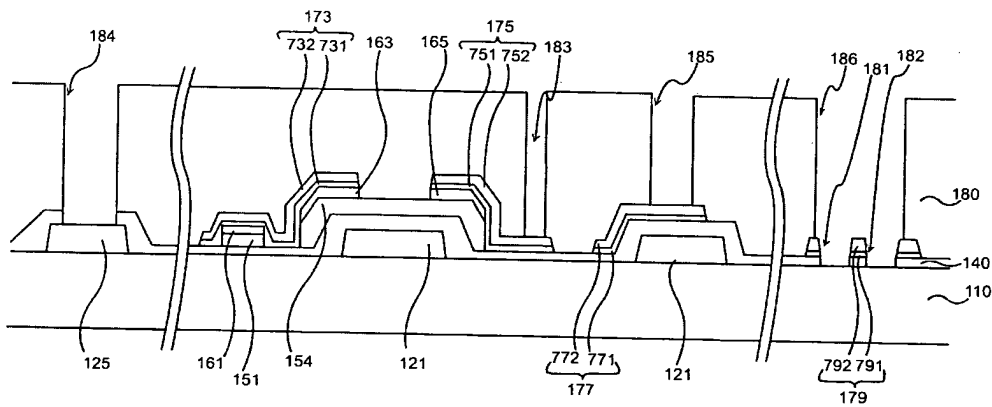
【도 2a】



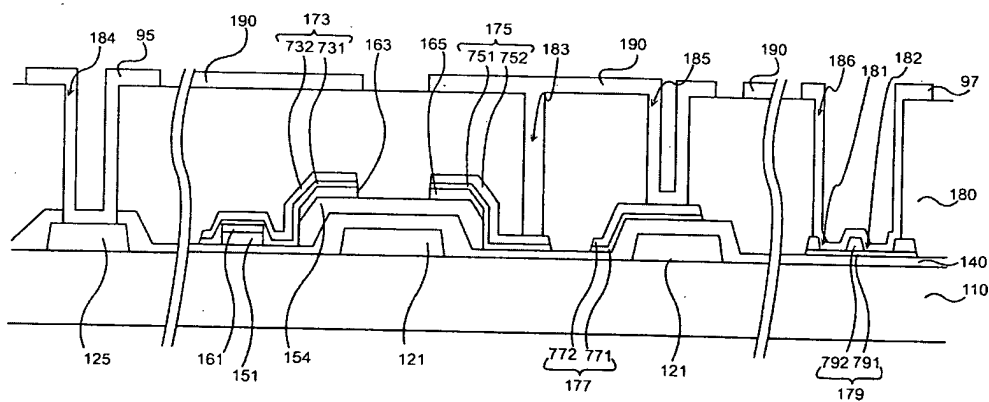
【도 2b】



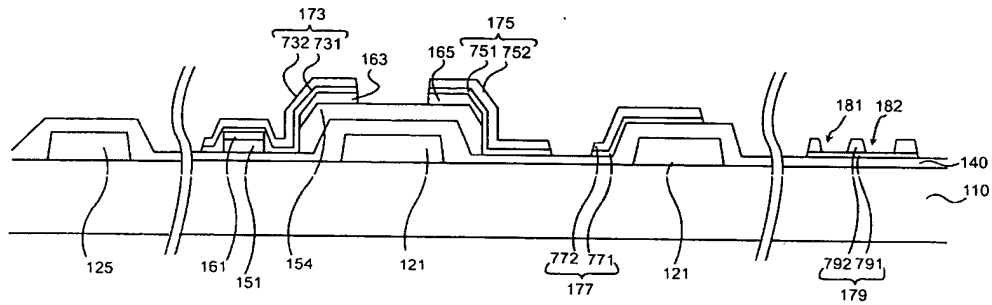
【도 2c】



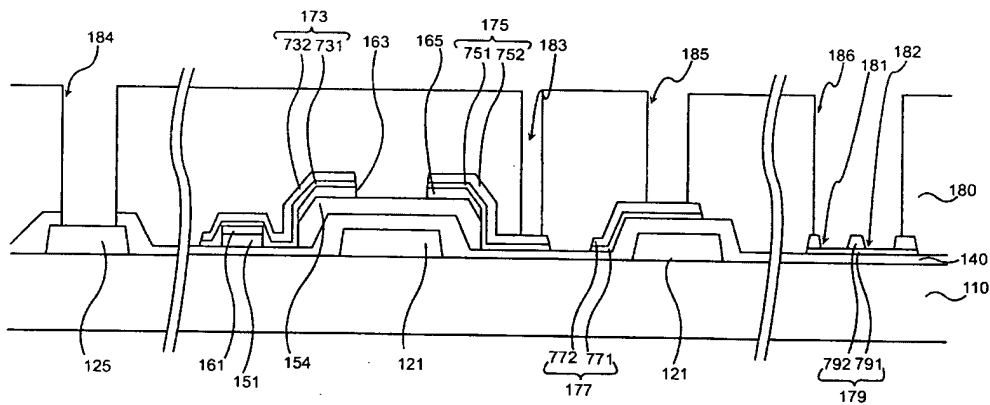
【도 3】



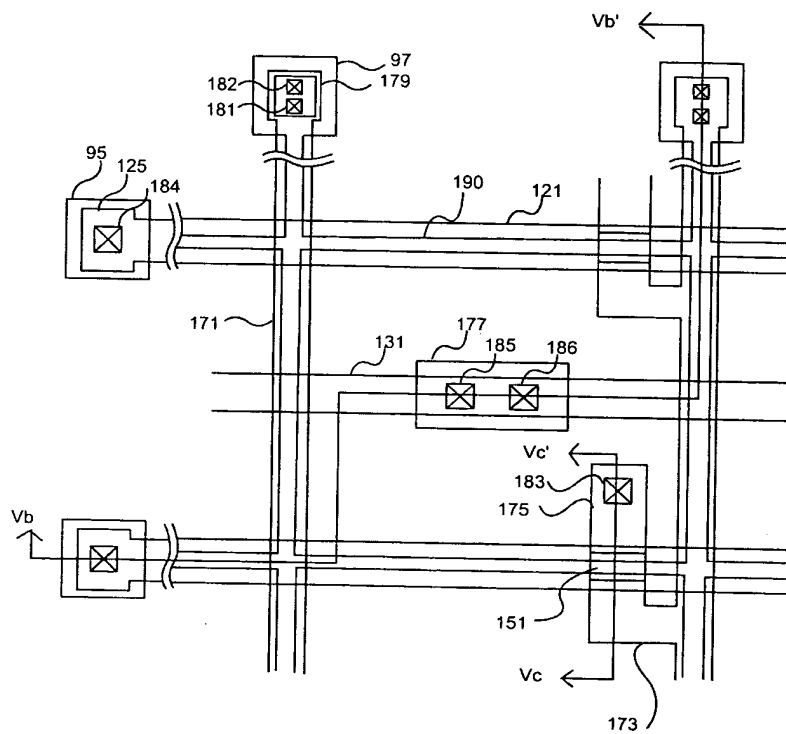
【도 4a】



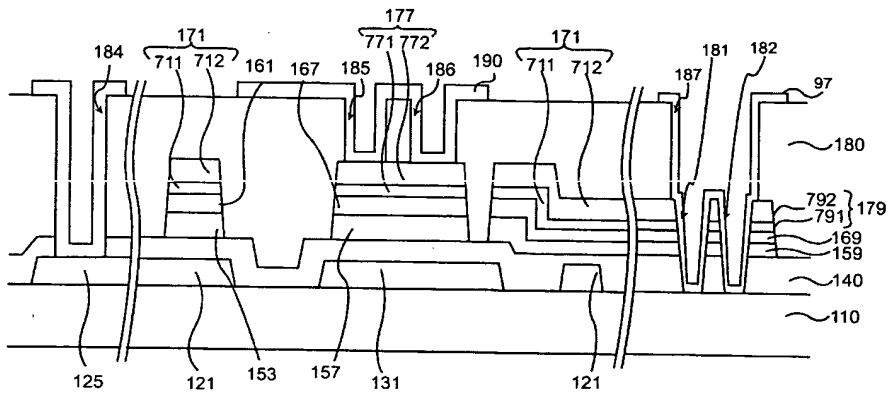
【도 4b】



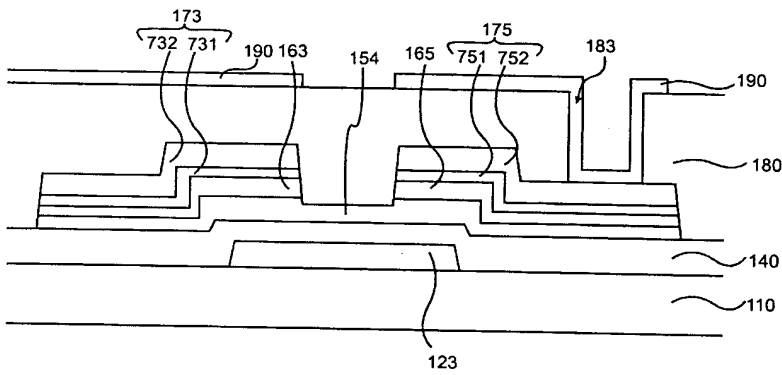
【도 5a】



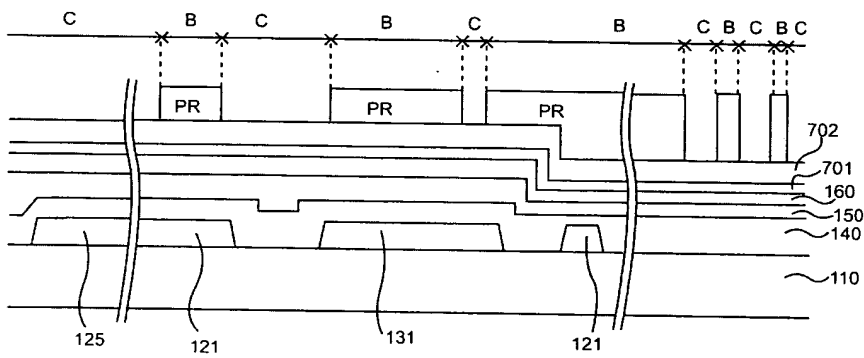
【도 5b】



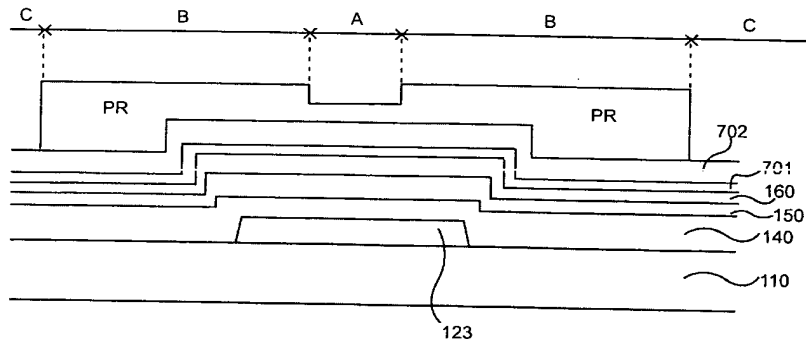
【도 5c】



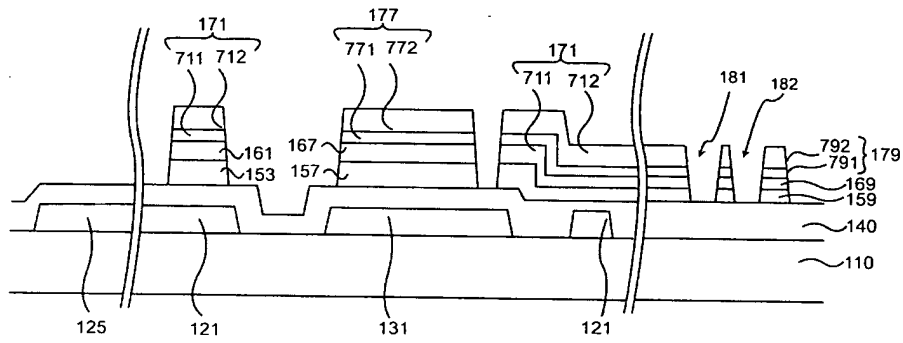
【도 6a】



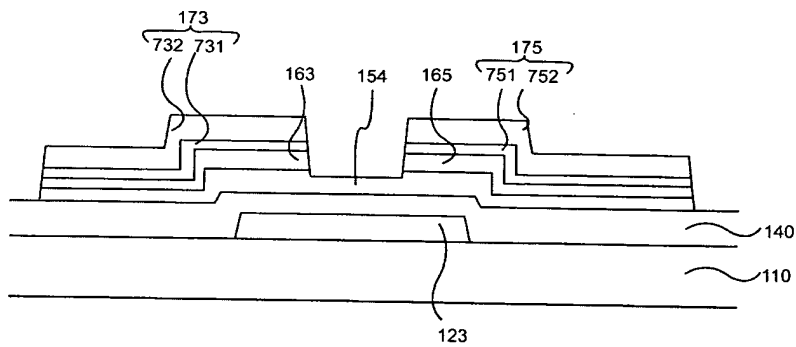
【도 6b】



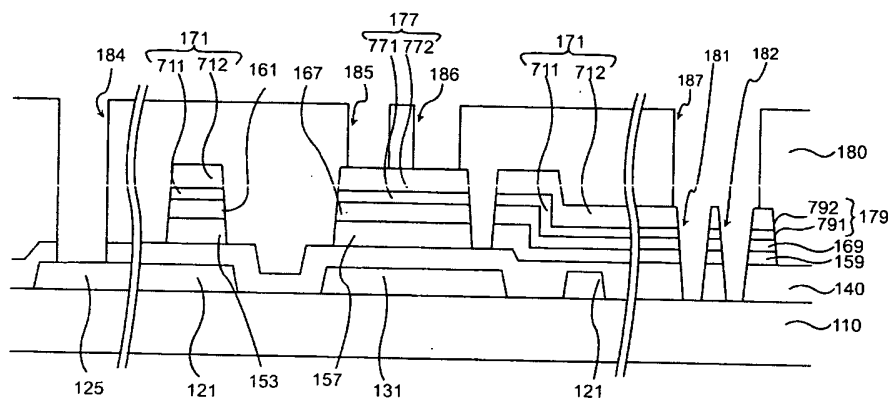
【도 7a】



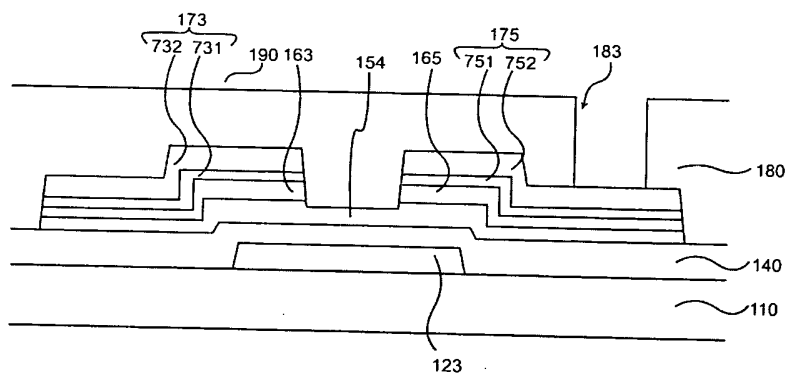
【도 7b】



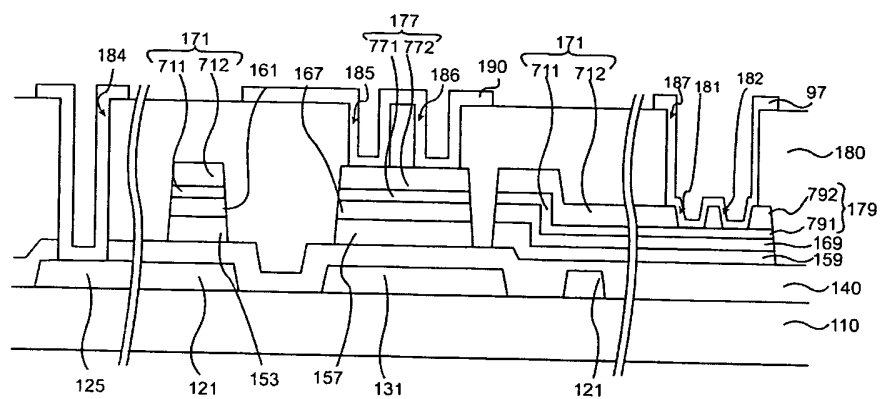
【도 8a】



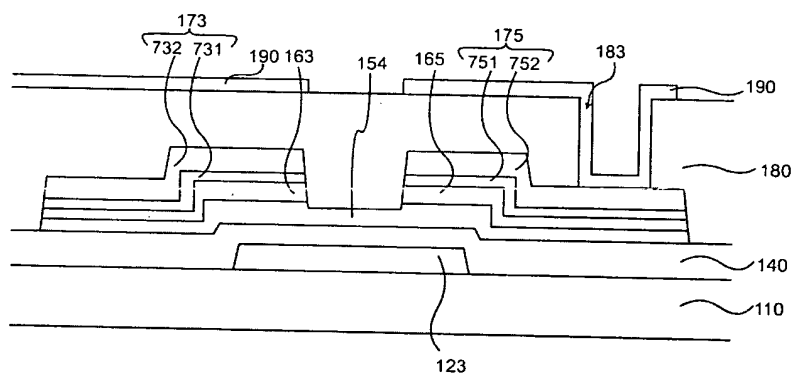
【도 8b】



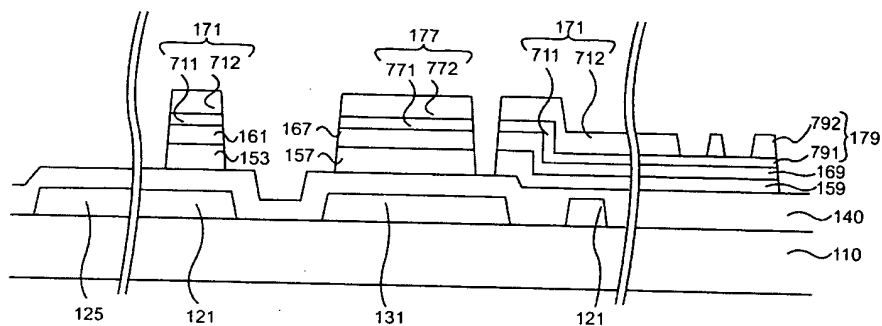
【도 9a】



【도 9b】



【도 10a】



【도 10b】

